

PAT-NO: JP408139335A

DOCUMENT-IDENTIFIER: JP 08139335 A

TITLE: METHOD OF MANUFACTURING THIN FILM TRANSISTOR

PUBN-DATE: May 31, 1996

INVENTOR-INFORMATION:

NAME

MOROSAWA, KATSUHIKO

OTANI, TOMOHIKO

ASSIGNEE-INFORMATION:

NAME

CASIO COMPUT CO LTD

COUNTRY

N/A

APPL-NO: JP06302673

APPL-DATE: November 14, 1994

INT-CL (IPC): H01L029/786, G02F001/136 , H01L021/268 , H01L021/336

ABSTRACT:

PURPOSE: To provide a method of manufacturing a thin film transistor having a drive circuit region and pixel region, both having good electric characteristics, by a reduced number of process steps.

CONSTITUTION: A drive circuit forming region A of an amorphous Si film on a glass substrate 1 is irradiated with a laser beam to form a poly-Si film 4, and

ions of H are implanted into a pixel forming region B thereof to form an amorphous Si:H film 5. By forming a semiconductor layer of the region A from the film 4 and that of the region B from the film 5, the thin film drive transistor can be formed as a high-mobility TFT and pixel thin film transistor formed as an amorphous Si:H TFT providing a switching performance having a high on-off current ratio required for the liq. crystal driving.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-139335

(43) 公開日 平成8年(1996)5月31日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0			
H 0 1 L 21/268		Z		
		9056-4M	H 0 1 L 29/ 78	6 1 2 B
		9056-4M		6 2 7 G
審査請求 未請求 請求項の数4 F D (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平6-302673

(22) 出願日 平成6年(1994)11月14日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 西澤 克彦

東京都八王子市石川町2951番地の5 カシ

オ計算機株式会社八王子研究所内

(72) 発明者 大谷 智彦

東京都八王子市石川町2951番地の5 カシ

オ計算機株式会社八王子研究所内

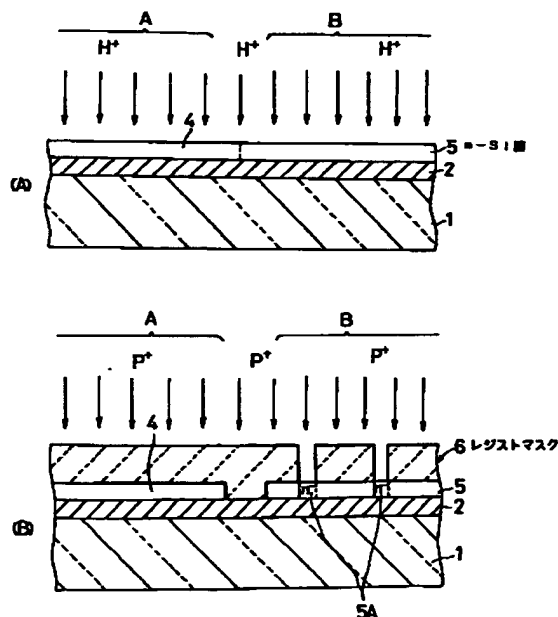
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【目的】 駆動回路の薄膜トランジスタと画素部の薄膜トランジスタとが共に良好な電気的特性を有し、しかも工程数の少ない、薄膜トランジスタの製造方法を提供する。

【構成】 ガラス基板1上に形成したa-Si膜の駆動回路形成領域Aにレーザ照射を行ってポリシリコン膜4を形成し、画素形成領域Bのa-Si膜に水素イオンをイオン注入することにより、a-Si:H膜5を形成する。このように、駆動回路形成領域Aの半導体層をポリシリコン膜4で形成し、画素形成領域Bの半導体層をa-Si:H膜5で形成することにより、駆動用薄膜トランジスタを高移動度のTFTにし、画素用薄膜トランジスタを液晶駆動に必要なオン・オフ電流比の大きなスイッチングが得られるa-Si:H/TFTにすることができる。



1

【特許請求の範囲】

【請求項1】 基板の駆動回路形成領域にポリシリコン薄膜トランジスタを形成し、前記基板の画素形成領域にアモルファスシリコン薄膜トランジスタ形成する、薄膜トランジスタの製造方法において、

前記基板の前記駆動回路形成領域と前記画素形成領域とに実質的に、水素を含有しないアモルファスシリコン薄膜を形成し、前記駆動回路形成領域の前記アモルファスシリコン薄膜をアニールしてポリシリコン薄膜にし、その後、前記画素形成領域のアモルファスシリコン薄膜に水素を導入することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 前記アニールをレーザ照射で行う請求項1記載の薄膜トランジスタの製造方法。

【請求項3】 前記水素の導入をイオン注入で行う請求項1記載の薄膜トランジスタの製造方法。

【請求項4】 前記イオン注入を基板全面に行う請求項3記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、薄膜トランジスタの製造方法に関し、さらに詳しくは、例えば駆動回路部を有する液晶表示パネルの薄膜トランジスタの形成に係る。

【0002】

【従来の技術】現在、アクティブマトリクス方式液晶ディスプレイ（AMLCD）に用いられる薄膜トランジスタ（TFT）は、プロセス温度が低く大面積ガラス基板上に作成しやすい水素化アモルファスシリコン（ $a-Si:H$ ）/TFTがよく知られている。しかし、さらに高解像度および高画質化とともに、大面積化、低コスト化を実現するには、駆動回路もマトリクス基板上に作成することができる高移動度ポリシリコン/TFTを用いることが望まれている。近年、アルゴンレーザやエキシマレーザなどの短波長レーザを用いてアモルファスシリコンを良質なポリシリコンに変化させる技術が開発され、大画面AMLCDの製造に適した技術として実用化されている。

【0003】

【発明が解決しようとする課題】しかしながら、上記した従来技術を用いた薄膜トランジスタの製造方法では、良質のポリシリコンを得る（駆動回路のTFT特性を良くする）ために水素（H）を含有しないアモルファスシリコンを用いると画素形成領域のTFTの特性に難点が生じる問題があった。一方、画素形成領域のTFTの特性を良くするために水素含有量の多いアモルファスシリコン（ $a-Si:H$ ）を用いると、良質なポリシリコンが得られない（駆動回路のTFTの特性に難点がある）という問題があった。また、駆動回路形成領域と画素形成領域との半導体層を別途作り分けた場合は、工程数が

2

煩雑となる問題がある。本発明が解決しようとする課題は、駆動回路の薄膜トランジスタと画素部の薄膜トランジスタとが共に良好な電気的特性を有することができ、しかも工程数も削減できる薄膜トランジスタの製造方法を得るには、どのような手段を講じればよいかという点にある。

【0004】

【課題を解決するための手段】そこで、この発明は、基板の駆動回路形成領域にポリシリコン薄膜トランジスタを形成し、前記基板の画素形成領域にアモルファスシリコン薄膜トランジスタ形成する、薄膜トランジスタの製造方法において、前記基板の前記駆動回路形成領域と前記画素形成領域とに実質的に、水素を含有しないアモルファスシリコン薄膜を形成し、前記駆動回路形成領域の前記アモルファスシリコン薄膜をアニールしてポリシリコン薄膜にし、その後、前記画素形成領域のアモルファスシリコン薄膜に水素を導入することを、その解決手段としている。また、請求項2記載の発明は、前記アニールをレーザ照射で行うことを特徴としている。さらに、請求項3記載の発明は、前記水素の導入をイオン注入で行うことを特徴としている。さらにまた、請求項4記載の発明は、前記イオン注入を基板全面に行うことを特徴としている。

【0005】

【作用】この発明においては、基板の駆動回路形成領域と画素形成領域とに、水素を含有しないアモルファスシリコン薄膜を形成し、駆動回路形成領域のアモルファスシリコン薄膜をアニールしてポリシリコン薄膜にし、その後、画素形成領域のアモルファスシリコン薄膜に水素を導入するようにしたことにより、駆動回路形成領域に形成される薄膜トランジスタの半導体層が水素を含有しないアモルファスシリコン薄膜から形成された良質のポリシリコン薄膜となり、画素形成領域に形成される薄膜トランジスタの半導体層が水素を含有するアモルファスシリコン薄膜となる。このため、駆動回路を構成する薄膜トランジスタを高移動度ポリシリコン/TFTに作成でき、駆動信号を良好に制御することができる。そして、画素形成領域に形成される薄膜トランジスタは、例えば液晶駆動に必要なオン・オフ電流比の大きなスイッチングが得られる水素化アモルファスシリコン（ $a-Si:H$ ）/TFTで作成することができる。そして、前記アニールを例えばエキシマレーザやアルゴンレーザなどの短波長レーザ照射で行えば下地基板を加熱することなく、シリコン膜を瞬間的に加熱することができる（例えばXeClエキシマレーザ（波長：308nm）を用い、パルス幅20～50ns、パルスエネルギー0.2～1.0J/cm²で照射を行えば瞬時にアモルファスシリコンをポリシリコン化することができる）。さらに、水素の導入をイオン注入で行うことにより、水素導入量を良好に制御することが可能となる。さらにまた、

上記イオン注入を基板全面に行っても、駆動回路形成領域のアモルファスシリコンはすでにポリシリコンに変化しているため、水素イオンの注入に伴う悪影響を受けることがない。このように、駆動回路形成領域と画素形成領域との半導体層の形成をマスク等を用いて一方の領域を覆って行う必要がないため、最小限の工程数で形成することが可能となる。このため、例えば液晶表示パネルにおける駆動回路領域と画素形成領域とに、電気的特性が良好なTFTを形成することができる。

【0006】

【実施例】以下、この発明に係る薄膜トランジスタの製造方法の詳細を図面に示す実施例に基づいて説明する。なお、本実施例では、図5に示すようなガラス基板1の周辺部の駆動回路形成領域Aにポリシリコン/TFTを形成し、ガラス基板1の表示領域となる画素形成領域Bにアモルファスシリコン(a-Si:H)/TFTの形成を行う。

【0007】まず、本実施例では、図1(A)に示すように、ガラス基板1上に酸化シリコンでなる下地透明絶縁膜2を全面に膜厚が例えば1000Å程度になるように、例えばスパッタリング装置を用いて堆積させる。その後、下地透明絶縁膜2の上全面に水素を含有しないアモルファスシリコン(以下、a-Siという)膜3を膜厚が例えば500Å程度になるように、例えば減圧CVD装置を用いて堆積させる。

【0008】次に、図1(B)に示すように、駆動回路形成領域Aのa-Si膜3に例えばXeClエキシマレーザ(波長:308nm)を用い、パルス幅20~50ns、パルスエネルギー0.2~1.0J/cm²でレーザ照射を行って、駆動回路形成領域Aのa-Si膜3をポリシリコン膜4に変化させる。なお、本実施例では、XeClエキシマレーザを用いたアニールを行ったが、この他、アルゴンレーザなどの短波長レーザを用いてアニールを行ってもよい。このように、水素を含有しないa-Si膜3からポリシリコン膜4を形成すると、結晶化の進んだ良質のポリシリコンが得られ高移動度ポリシリコン/TFTの形成が可能となる。これは、堆積されたa-Siは、水素を含有していないため、ダングリングボンドの数が多く、アニールを行うとこのダングリングボンドの数が多いため、アニール中にSi原子が再配列し、結晶成分を核にして固相成長し易く、粒径の大きいポリシリコンが得られる。

【0009】次に、図2(A)に示すように、全面に水素イオンをイオン注入する。なお、このイオン注入の条件は、例えば加速電圧を10kV、ドーズ量を 1×10^{16} atm/cm²とする。また、この水素イオンのイオン注入工程は、上記したアニールにより駆動回路形成領域Aのa-Si膜3をポリシリコン膜4に変化させた後であれば、上記アニールの直後でなくともよい。本実施例では、この水素イオンの注入後に、窒素(N₂)雰囲気

気中で、350°C、1時間程度の活性化アニールを行った。このように、水素イオンをイオン注入することにより、図2(A)に示すように、画素形成領域Bに形成されていたa-Si膜はダングリングボンドがターミネートされて、a-Si:H膜5に変わる。なお、水素イオンは、基板全面にイオン注入されるため、画素形成領域Bはもとより駆動回路形成領域Aにも水素イオンが導入される。このため、駆動回路形成領域Aのポリシリコン膜4中のダングリングボンドをもターミネートする。このため、ポリシリコン膜4の半導体層としての特性をより安定させることができる。

【0010】次に、駆動回路形成領域Aと画素形成領域Bとの境界部の半導体層(ポリシリコン膜4およびa-Si:H膜5、または、ポリシリコン膜4からa-Si:H膜5のいずれか一方)をエッチングすることにより、駆動回路形成領域Aと画素形成領域Bとを分離する。その後、図2(B)に示すように、画素形成領域Bに形成される多数のTFTのLDD形成領域のみを露出させるレジストマスク6を周知のフォトリソグラフィ技術により形成し、例えばリン(P)を加速電圧が130keV、ドーズ量が 1×10^{13} atm/cm²の低濃度条件でイオン注入して、a-Si:H膜5にLDD領域5Aを形成する。

【0011】その後、レジストマスク6を剥離して、図3(A)に示すように、新たに駆動回路形成領域Aのポリシリコン膜4のLDD形成領域のみを露出させるレジストマスク7をバタニングし、例えばリン(P)をポリシリコン膜4中にイオン注入する。このイオン注入の条件は、駆動回路を構成するTFTに設定される特性に応じて決定する。本実施例では、加速電圧を130keV、ドーズ量を 5×10^{13} atm/cm²とした。この結果、ポリシリコン膜4にLDD領域4Aが形成できる。

【0012】次に、レジストマスク7を剥離した後、図3(B)に示すように、駆動回路形成領域Aと画素形成領域Bとのそれぞれに形成するTFTの各チャネル領域を覆うように、レジストマスク8をバタニングする。そして、例えばリン(P)を加速電圧130keV、ドーズ量 3×10^{15} atm/cm²の条件でイオン注入して、駆動回路形成Aと画素形成領域Bとに、ソース・ドレインとなる高濃度不純物領域4B、5Bをそれぞれに形成する。

【0013】その後、レジストマスク8を剥離した後、周知の技術を用いて図4に示すような、駆動用薄膜トランジスタ(TFT)aと画素用薄膜トランジスタ(TFT)bを完成させる。なお、図中9はゲート絶縁膜、10はゲート電極、11は絶縁膜、12はソース・ドレイン電極である。

【0014】このようにして薄膜トランジスタを製造することにより、駆動回路形成領域Aに形成される薄膜ト

10

20

30

40

50

5

ランジスタaの半導体層が水素を含有しないアモルファスシリコン薄膜から形成された良質のポリシリコン薄膜となり、画素形成領域Bに形成される薄膜トランジスタbの半導体層が水素を含有するアモルファスシリコン薄膜となる。このため、駆動回路を構成する薄膜トランジスタaを高移動度ポリシリコン/TFTに作成でき、駆動信号を良好に制御することができる。そして、画素形成領域Bに形成される薄膜トランジスタbは、液晶駆動に必要なオン・オフ電流比の大きなスイッチングが得られる水素化アモルファスシリコン(a-Si:H)/TFTで作成することができる。

【0015】以上、実施例について説明したが、本発明はこれに限定されるものではなく、構成の要旨に付随する各種の設計変更が可能である。例えば、上記実施例では、本発明をアクティブマトリクス方式の液晶ディスプレイ(LCD)におけるガラス基板1上に形成するTFTの製造に適用したが、ポリシリコン/TFTとa-Si:H/TFTとを同一基板上に形成するものであれば、本発明を適用させることができる。また、上記実施例では、駆動回路形成領域と画素形成領域との分離を、水素イオンの注入工程の後に行ったが、その工程以前に行ってもよい。さらに、上記実施例では、水素をイオン注入で導入したが、画素形成領域が区切られているため、水素の拡散処理を行ってもよい。また、本実施例では、このように水素を含有しないa-Si膜3を減圧CVD装置を用いて形成したが、プラズマCVD装置を用いて水素を含有するアモルファスシリコン(以下、a-Si:Hという)膜を堆積させた後、例えば450°Cの窒素(N₂)雰囲気中に1時間放置することにより、a-Si:H膜中の水素を除去(脱水素)して、a-Si膜3を形成してもよい。ところで、本実施例では、全

6

面に水素をイオン注入したが、画素形成領域Bのみにイオン注入するように、駆動回路形成領域A側にマスクを形成すれば駆動用薄膜トランジスタヘリン等の不純物がドーパされやすく、容易にLDD領域4A及び高濃度不純物領域4Bを形成することができる。

【0016】

【発明の効果】以上の説明から明らかなように、この発明によれば、駆動回路の薄膜トランジスタと画素部の薄膜トランジスタとが共に良好な電気的特性を有することができ、しかも工程数も削減できるという効果を奏する。

【図面の簡単な説明】

【図1】(A)および(B)は本発明の実施例の工程を示す要部断面図。

【図2】(A)および(B)は本発明の実施例の工程を示す要部断面図。

【図3】(A)および(B)は本発明の実施例の工程を示す要部断面図。

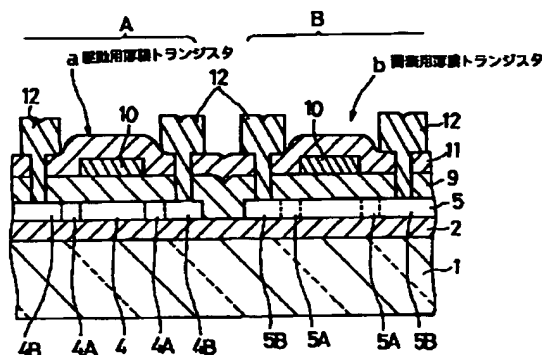
【図4】本発明の実施例に係る薄膜トランジスタの要部断面図。

【図5】ガラス基板における駆動回路形成領域と画素形成領域とを示す平面説明図。

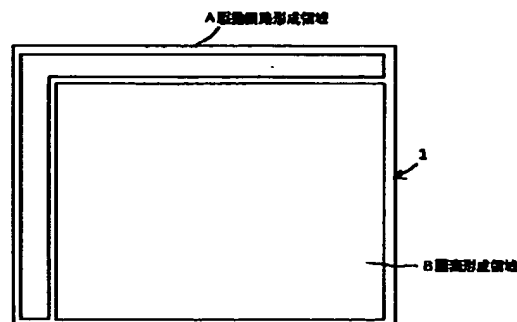
【符号の説明】

- 1 ガラス基板
- 3 a-Si膜
- 4 ポリシリコン膜
- 5 a-Si:H膜
- A 駆動回路形成領域
- B 画素形成領域
- a 駆動用薄膜トランジスタ
- b 画素用薄膜トランジスタ

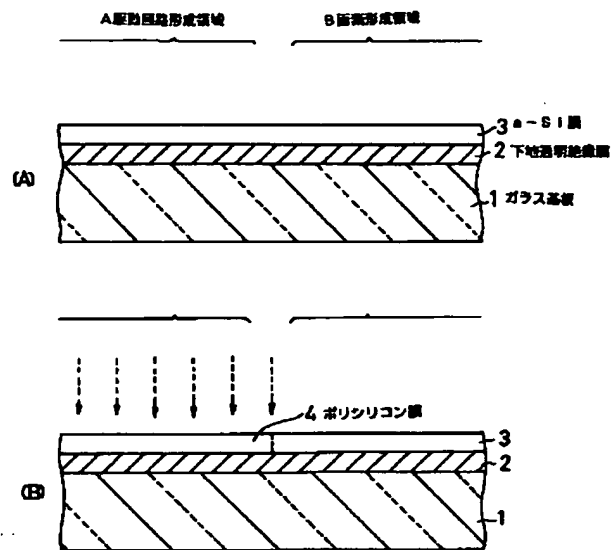
【図4】



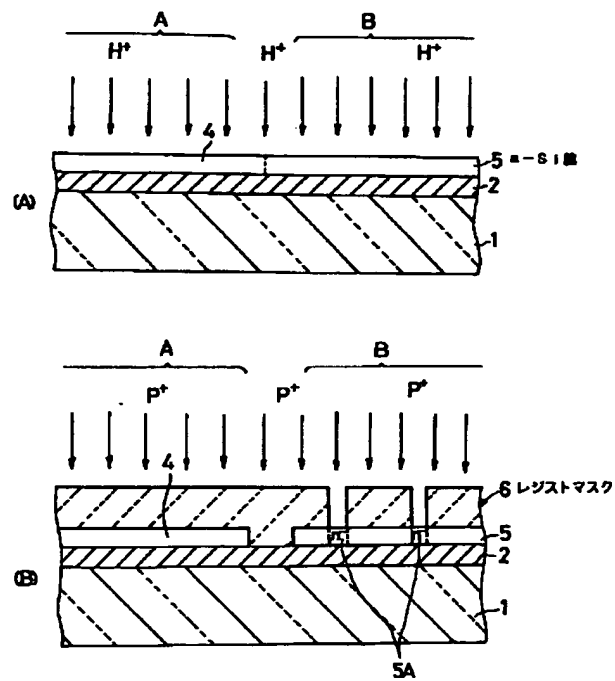
【図5】



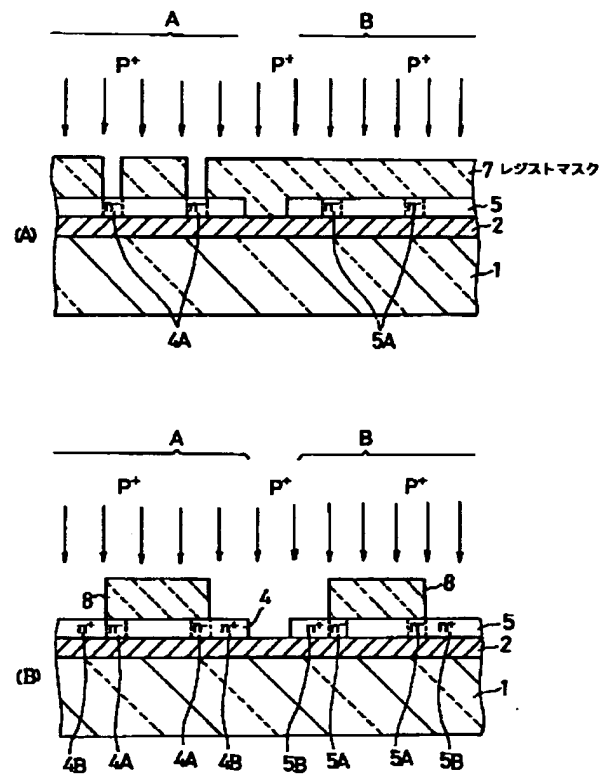
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl.⁶

H01L 21/336

識別記号

弁内整理番号

F I

技術表示箇所

9056-4M

H01L 29/78

627 E